

日本国特許庁
JAPAN PATENT OFFICE

30.06.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年 9月30日

RECD 19 AUG 2004

出願番号
Application Number: 特願 2003-341294

WIPO PCT

[ST. 10/C]: [JP 2003-341294]

出願人
Applicant(s): サンケン電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 8月 6日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 K0325
【提出日】 平成15年 9月30日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
【氏名】 京野 羊一
【特許出願人】
【識別番号】 000106276
【氏名又は名称】 サンケン電気株式会社
【代理人】
【識別番号】 100082049
【弁理士】
【氏名又は名称】 清水 敬一
【電話番号】 03-3760-5351
【手数料の表示】
【予納台帳番号】 014546
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

トランスの1次巻線と主スイッチング素子とを直流電源に直列に接続し、前記主スイッチング素子をオン・オフ制御することにより、前記1次巻線及び前記主スイッチング素子に電流を流し、前記トランスの2次巻線に接続された出力端子から直流電力を取り出すスイッチング電源装置において、

前記2次巻線と前記出力端子との間に接続された同期整流用スイッチング素子と、

前記2次巻線に対して並列に接続され且つ前記主スイッチング素子のオン時にエネルギーが蓄積されるリクトルと、

前記リクトルと前記同期整流用スイッチング素子の制御端子とに接続され且つ前記リクトルにエネルギーを蓄積する期間は、前記同期整流用スイッチング素子をオフに保持し、前記リクトルに蓄積されたエネルギーを放出する期間は、前記同期整流用スイッチング素子をオンに保持し、前記リクトルに蓄積されたエネルギーの放出が完了したとき、前記同期整流用スイッチング素子をオフにする同期整流制御回路とを備えたことを特徴とするスイッチング電源装置。

【請求項 2】

前記同期整流制御回路は、前記リクトルにエネルギーを蓄積する期間は、前記同期整流用スイッチング素子をオフに保持する消勢状態と、前記リクトルに蓄積されたエネルギーを放出する期間は、前記同期整流用スイッチング素子をオンする付勢状態と、前記リクトルに蓄積されたエネルギーの放出が完了したとき、前記同期整流用スイッチング素子をオフにする消勢切換状態とに切り換える切換回路と、

前記リクトルに蓄積されたエネルギーの放出が完了したとき、前記リクトルのリセットを検出すると共に、前記切換回路を消勢切換状態に切り換えて前記同期整流用スイッチング素子をオフにするリセット検出回路とを備え、

前記リセット検出回路は、前記2次巻線の一端と前記リクトルの一端との間に接続された整流素子と、前記リクトルに蓄積されたエネルギーの放出が完了したときに前記整流素子と前記リクトルの一端との接続点に発生するリセット電圧の低下を検出して前記切換回路を消勢切換状態に切り換えるリセット電圧検出手段とを有する請求項1に記載のスイッチング電源装置。

【請求項 3】

前記切換回路は、前記リクトルの他端に接続されて前記リクトルにエネルギーを蓄積する蓄積期間を検出する第1の入力端子、前記リセット検出回路に接続された第2の入力端子及び前記同期整流用スイッチング素子の制御端子に接続された出力端子を有する切換制御手段から成る請求項2に記載のスイッチング電源装置。

【請求項 4】

前記リクトルの他端に発生する電圧のパルス幅が狭いとき、前記切換制御手段の第2の入力端子の電圧レベルを保持して前記切換回路の消勢状態を保持する保持回路を前記リクトルの他端と前記切換制御手段の第2の入力端子との間に接続した請求項3に記載のスイッチング電源装置。

【請求項 5】

前記同期整流制御回路は、前記トランスの3次巻線と、前記リクトルに接続され且つ前記リクトルにエネルギーを蓄積する電流又は前記リクトルに蓄積されたエネルギーを放出する電流を検出するリクトル電流検出手段と、前記3次巻線と前記リクトル電流検出手段と前記同期整流用スイッチング素子の制御端子とに接続された切換回路とを備え、

前記3次巻線は、前記トランスの2次巻線及び前記リクトルにエネルギーが蓄積される同時にエネルギーが蓄積され、

前記切換回路は、前記3次巻線にエネルギーを蓄積する期間は、前記同期整流用スイッチング素子をオフに保持し、前記リクトル電流検出手段が前記リクトルに蓄積されたエネルギーを放出する電流を検出したとき、同時に前記3次巻線に発生する電圧により前記同期整流用スイッチング素子をオンにし、前記リクトル電流検出手段が前記リクトルに

流れる電流を検出しなくなったとき、前記同期整流用スイッチング素子をオフに切り換える請求項1又は2に記載のスイッチング電源装置。

【書類名】明細書

【発明の名称】スイッチング電源装置

【技術分野】

【0001】

本発明はスイッチング電源装置、特にトランスの2次巻線から取り出す出力電圧の電力損失を抑制できるスイッチング電源装置に関するものである。

【背景技術】

【0002】

トランスの1次巻線とスイッチング素子とを直流電源に直列に接続し、スイッチング素子をオン・オフ制御することにより、1次巻線及びスイッチング素子に電流を流し、トランスの2次巻線に接続された出力端子から直流電力を取出すスイッチング電源装置は、公知である。スイッチング素子のオン時に1次巻線に流れる電流によりトランスにエネルギーを蓄積して、スイッチング素子のオフ時にトランスに蓄積されたエネルギーを出力電力として取出すスイッチング電源装置は、フライバックコンバータと呼ばれる。フライバックコンバータでは、トランスの2次巻線に整流用のダイオードを接続するため、導通時のダイオードの順方向電圧による電力損失が大きく、電力変換効率が低下する欠点がある。

【0003】

そこで、例えば下記の特許文献1に示されるように、2次巻線に接続されたダイオードの順方向電圧による電力損失を低減するため、同期整流回路の同期整流用スイッチング素子として同期整流用パワーMOSFETを2次巻線に接続して、逆方向電流の通流を阻止してトランスの負荷を軽減し、かつ順方向電圧降下を低減するスイッチング電源装置が提案されている。このスイッチング電源装置では、フライバックコンバタ回路、フォワードコンバタ回路等を基本回路とするスイッチング電源装置のパルス回路の2次巻線側に出力電流を整流する同期整流用パワーMOSFETを接続し、同期整流用パワーMOSFETのソース・ドレイン間に流れる電流の方向の変化をコンパレータ回路により監視し、コンパレータ回路から同期整流用パワーMOSFETのゲートに供給するゲート駆動信号により順方向電流及び逆方向電流を制御する。

【0004】

【特許文献1】特開平7-7928号公報（第6頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、上記の類のスイッチング電源装置では、同期整流用スイッチング素子の駆動信号を形成するために様々な方式の同期整流回路が提案されている。例えば、上記のスイッチング電源装置のように同期整流用スイッチング素子の端子電圧を検出する方式、又はトランスの2次側電圧を検出する方式、或いは同期整流用スイッチング素子に流れる電流を検出する方式等がある。しかし、同期整流用スイッチング素子の端子電圧又はトランスの2次側電圧を検出する方式では、2次側電流と2次側電圧の位相が必ずしも一致しないため、出力電力に無効分が生じ、トランスの2次側の同期整流回路において電力損失を発生する問題点があった。また、同期整流用スイッチング素子に流れる電流を検出する方式では、電流検出用抵抗や電流トランス等の電流検出手段がトランスの2次巻線側の同期整流回路内に挿入されるため、電流検出手段にて電力損失を発生する問題点があった。

【0006】

そこで、本発明ではトランスの2次巻線から取り出す出力電圧の電力損失を抑制できるスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明によるスイッチング電源装置は、トランス(2)の1次巻線(3)と主スイッチング素子(4)とを直流電源(1)に直列に接続し、主スイッチング素子(4)をオン・オフ制御することにより、トランス(2)の1次巻線(3)及び主スイッチング素子(4)に電流を流し、トラン

ス(2)の2次巻線(6)に接続された出力端子(7,8)から直流電力を取り出す。このスイッチング電源装置は、トランス(2)の2次巻線(6)と出力端子(7,8)との間に接続された同期整流用スイッチング素子(9)と、トランス(2)の2次巻線(6)に対して並列に接続され且つ主スイッチング素子(4)のオン時にエネルギーが蓄積されるリアクトル(11)と、リアクトル(11)と同期整流用スイッチング素子(9)の制御端子とに接続され且つリアクトル(11)にエネルギーを蓄積する期間は同期整流用スイッチング素子(9)をオフに保持し、リアクトル(11)に蓄積されたエネルギーを放出する期間は同期整流用スイッチング素子(9)をオンに保持し、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用スイッチング素子(9)をオフにする同期整流制御回路(12)とを備える。

【0008】

リアクトル(11)のエネルギーの蓄積期間及び放出期間に応じて同期整流制御回路(12)により同期整流用スイッチング素子(9)がオン・オフ制御されるため、入力電圧(E)及び出力電圧(V_0)が変動しても効率よく同期整流動作を行うことができる。このため、幅広い入出力範囲でトランス(2)の2次巻線(6)から取り出す出力電圧(V_0)の電力損失を抑制することができる。また、リアクトル(11)に蓄積されたエネルギーも全て出力側に送出されるため、同期整流回路での電力損失を最小限に抑えることができる。

【0009】

同期整流制御回路(12)は、リアクトル(11)にエネルギーを蓄積する期間は同期整流用スイッチング素子(9)をオフに保持する消勢状態と、リアクトル(11)に蓄積されたエネルギーを放出する期間は同期整流用スイッチング素子(9)をオンする付勢状態と、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用スイッチング素子(9)をオフにする消勢切換状態とに切り換えられる切換回路(13)と、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、リアクトル(11)のリセットを検出すると共に切換回路(13)を消勢切換状態に切り換えて同期整流用スイッチング素子(9)をオフにするリセット検出回路(14)とを備える。リセット検出回路(14)は、トランス(2)の2次巻線(6)の一端とリアクトル(11)の一端との間に接続された整流素子(15)と、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに整流素子(15)とリアクトル(11)の一端との接続点に発生するリセット電圧(V_B)の低下を検出して切換回路(13)を消勢切換状態に切り換えるリセット電圧検出手段(16,17)とを有する。これにより、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、リセット検出回路(14)により切換回路(13)を消勢切換状態に切り換えて同期整流用スイッチング素子(9)を確実にオフに切り換えることができる。

【0010】

本発明の実施の形態での切換回路(13)は、リアクトル(11)の他端に接続されてリアクトル(11)にエネルギーを蓄積する蓄積期間を検出する第1の入力端子、リセット検出回路(14)に接続された第2の入力端子及び同期整流用スイッチング素子(9)の制御端子に接続された出力端子を有する切換制御手段(21)から成る。更に、リアクトル(11)の他端に発生する電圧のパルス幅が狭いときに切換制御手段(21)の第2の入力端子の電圧レベルを保持して切換回路(13)の消勢状態を保持する保持回路(26)をリアクトル(11)の他端と切換制御手段(21)の第2の入力端子との間に接続した場合は、軽負荷時等で主スイッチング素子(4)をオンするパルス幅が狭くなり、リアクトル(11)の他端に発生する電圧のパルス幅が狭くなったとき、保持回路(26)により切換制御手段(21)の第2の入力端子の電圧レベルが保持されるため、切換回路(13)の消勢状態が保持される。これにより、同期整流用スイッチング素子(9)がオフに保持されて同期整流動作が停止するため、軽負荷時等における整流回路での電力損失を最小限に抑えることができる。

【0011】

本発明の他の実施の形態での同期整流制御回路(12)は、トランス(2)の3次巻線(30)と、リアクトル(11)に接続され且つリアクトル(11)にエネルギーを蓄積する電流(I_L)又はリアクトル(11)に蓄積されたエネルギーを放出する電流(I_L)を検出するリアクトル電流検出手段(31)と、3次巻線(30)とリアクトル電流検出手段(31)と同期整流用スイッチング素子(9)の制御端子とに接続された切換回路(13)とを備える。3次巻線(30)は、トランス(2)の2

次巻線(6)及びリクトル(11)にエネルギーが蓄積されると同時にエネルギーが蓄積される。切換回路(13)は、3次巻線(30)にエネルギーを蓄積する期間は同期整流用スイッチング素子(9)をオフに保持し、リクトル電流検出手段(31)がリクトル(11)に蓄積されたエネルギーを放出する電流(I_L)を検出したとき、同時に3次巻線(30)に発生する電圧により同期整流用スイッチング素子(9)をオンにし、リクトル電流検出手段(31)がリクトル(11)に流れる電流(I_L)を検出しなくなったとき、同期整流用スイッチング素子(9)をオフに切り換える。

【発明の効果】

【0012】

本発明によれば、トランスの2次巻線と並列に接続されたリクトルのエネルギーの蓄積期間及び放出期間に応じて同期整流用スイッチング素子がオン・オフ制御され、入力電圧及び出力電圧が変動しても効率よく同期整流動作を行うことができるので、幅広い入出力範囲でトランスの2次巻線から取り出す出力電圧の電力損失を抑制することが可能である。また、リクトルに蓄積されたエネルギーも全て出力側に送出されるため、同期整流回路での電力損失を最小限に抑えられる利点がある。

【発明を実施するための最良の形態】

【0013】

以下、本発明によるスイッチング電源装置の6つの実施の形態を図1～図12に基づいて説明する。

【実施例1】

【0014】

本発明の一実施の形態を示す実施例1のスイッチング電源装置は、図1に示すように、直流電源(1)に対して直列に接続されたトランス(2)の1次巻線(3)及び主スイッチング素子としての主MOS-FET(4)と、主MOS-FET(4)をオン・オフ制御する主制御回路(5)と、トランス(2)の2次巻線(6)と出力端子(7,8)との間に接続された同期整流用スイッチング素子としての同期整流用MOS-FET(9)及び出力平滑コンデンサ(10)と、トランス(2)の2次巻線(6)に対して並列に接続され且つ主MOS-FET(4)のオン時にエネルギーが蓄積されるリクトル(11)と、リクトル(11)と同期整流用MOS-FET(9)のゲート端子との間に接続され且つリクトル(11)にエネルギーを蓄積する期間は同期整流用MOS-FET(9)をオフに保持し、リクトル(11)に蓄積されたエネルギーを放出する期間は同期整流用MOS-FET(9)をオンに保持し、リクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用MOS-FET(9)をオフにする同期整流制御回路(12)とを備える。なお、同期整流用MOS-FET(9)はドレイン・ソース端子間に寄生ダイオード(9a)を有する。

【0015】

同期整流制御回路(12)は、リクトル(11)にエネルギーを蓄積する期間は同期整流用MOS-FET(9)をオフに保持する消勢状態と、リクトル(11)に蓄積されたエネルギーを放出する期間は同期整流用MOS-FET(9)をオンする付勢状態と、リクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用MOS-FET(9)をオフにする消勢切換状態とに切り換える切換回路(13)と、リクトル(11)に蓄積されたエネルギーの放出が完了したときにリクトル(11)のリセットを検出すると共に切換回路(13)を消勢切換状態に切り換えて同期整流用MOS-FET(9)をオフにするリセット検出回路(14)とを備える。

【0016】

リセット検出回路(14)は、トランス(2)の2次巻線(6)の一端(黒点側)とリクトル(11)の一端(上側)との間に接続された整流素子としての第1のダイオード(15)と、リクトル(11)に蓄積されたエネルギーの放出が完了したときに第1のダイオード(15)とリクトル(11)の一端との接続点Bに発生するリセット電圧 V_B の低下を検出して切換回路(13)を消勢切換状態に切り換えるリセット電圧検出手段を構成する第1の反転器(16)及び第1の反転器(16)と直列に接続された第2のダイオード(17)とを有する。更に、負側出力端子(8)

)と第1のダイオード(15)及び第1の反転器(16)の接続点との間には、リセット電圧V_Bの低下時の最低電圧を0[V]にクランプする第3のダイオード(18)が接続されている。

【0017】

切換回路(13)は、リアクトル(11)の他端(下側)と負側出力端子(8)との間に接続された分圧抵抗(19, 20)と、分圧抵抗(19, 20)の分圧点に発生する電圧によりリアクトル(11)にエネルギーを蓄積する蓄積期間を検出する第1の入力端子、リセット検出回路(14)に接続された第2の入力端子及び同期整流用MOS-FET(9)のゲート端子に接続された出力端子を有する切換制御手段としてのNORゲート(21)とを備えている。また、負側出力端子(8)とNORゲート(21)の第2の入力端子との間には、コンデンサ(22)が接続され、NORゲート(18)の第2の入力端子と分圧抵抗(19, 20)の分圧点との間には、第2の反転器(23)及び第4のダイオード(24)が直列に接続されている。

【0018】

図1に示す構成において、図2(F)に示すように主制御回路(5)から主MOS-FET(4)のゲート端子に高い電圧(H)レベルの主制御信号V_Gが付与され、主MOS-FET(4)がオンのときは、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。ここで、直流電源(1)の電圧をE[V]、トランス(2)の1次巻線(3)のインダクタンスをL_P[H]とすると、主MOS-FET(4)のオン期間t_{ON}[s]中に $(E^2/2L_P) \times t_{ON}^2 [J]$ のエネルギーがトランス(2)に蓄積される。また、図2(B)に示すようにトランス(2)の2次巻線(6)には電流が流れず、トランス(2)の1次巻線(3)及び2次巻線(6)の巻数をそれぞれN_P, N_Sとすると、トランス(2)の2次巻線(6)には上(黒点)側を負(-)、下側を正(+)とする電圧V_S=(N_S/N_P)×E[V]が発生する。このとき、リアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧V_Aは図2(A)に示すようにトランス(2)の2次巻線(6)に発生する電圧V_Sに略等しく、リアクトル(11)の上端と第1のダイオード(15)との接続点Bの電圧V_Bは図2(D)に示すように出力端子(7, 8)間の直流出力電圧V₀と第1のダイオード(15)の順方向電圧V_Fとの和電圧V₀+V_Fに略等しいため、第1のダイオード(15)を介してリアクトル(11)に電流I_Lが流れる。ここで、リアクトル(11)のインダクタンスをL[H]とすると、図2(C)に示すようにリアクトル(11)に流れる電流I_Lが毎秒V_S/Lの割合で1次関数的に増加し、主MOS-FET(4)のオン期間t_{ON}[s]中に $(V_S^2/2L) \times t_{ON}^2 [J]$ のエネルギーがリアクトル(11)に蓄積される。

【0019】

一方、同期整流用MOS-FET(9)のドレイン・ソース端子間には、トランス(2)の2次巻線(6)の電圧V_S=(N_S/N_P)×E[V]と出力端子(7, 8)間の直流出力電圧V₀との和電圧V_S+V₀が発生する。この和電圧V_S+V₀は、同期整流制御回路(12)を構成する切換回路(13)内の分圧抵抗(19, 20)により分圧され、分圧抵抗(19, 20)の分圧点の電圧がNORゲート(21)の第1の入力端子に入力される。なお、分圧抵抗(19, 20)の各抵抗値は、軽負荷時等で発生するリングによる同期整流用MOS-FET(9)の誤動作を防止するため、分圧点の電圧が主MOS-FET(4)がオンのときはNORゲート(21)の閾値電圧を超える、リングのときはNORゲート(21)の閾値電圧を超えないように設定される。よって、主MOS-FET(4)がオンのときは分圧抵抗(19, 20)の分圧点の電圧が高い(H)レベルとなるので、図2(E)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に低い電圧(L)レベルの同期制御信号V_{SC}が付与され、切換回路(13)は消勢状態を保持する。これにより、同期整流用MOS-FET(9)はオフを保持する。このとき、第2の反転器(23)にも分圧抵抗(19, 20)の分圧点からの高い(H)レベルの電圧が入力されるため、第2の反転器(23)の出力は低い電圧(L)レベルとなり、コンデンサ(22)の電圧が低い(L)レベルとなる。また、このときは同期整流制御回路(12)を構成するリセット検出回路(14)内の第1の反転器(16)にリアクトル(11)の上端と第1のダイオード(15)との接続点Bからの高い(H)レベルの電圧が入力され、第1の反転器(16)の出力が低い電圧(L)レベルとなるので、コンデンサ(22)の電圧が低い(L)レベルに保持される。

【0020】

次に、時刻 t_1 において図2(F)に示すように主制御回路(5)から主MOS-FET(4)のゲート端子に付与される主制御信号 V_G が高い電圧(H)レベルから低い電圧(L)レベルとなり、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧 $V_S = (N_S/N_P) \times E [V]$ が発生する。このとき、リアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧 V_A が図2(A)に示すように略0[V]となり、分圧抵抗(19, 20)の分圧点の電圧が低い(L)レベルとなるので、NORゲート(21)の第1の入力端子には低い(L)レベルの電圧が入力される。一方、第2の反転器(23)の出力は高い電圧(L)レベルとなるが、第4のダイオード(24)によりブロックされ、コンデンサ(22)の電圧が低い(L)レベルに保持されるので、NORゲート(21)の第2の入力端子にも低い(L)レベルの電圧が入力される。したがって、図2(E)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 V_{SC} が低い電圧(L)レベルから高い電圧(H)レベルとなり、切換回路(13)は消勢状態から付勢状態に切り換わる。これにより、同期整流用MOS-FET(9)がオンとなる。

【0021】

時刻 t_1 にて同期整流用MOS-FET(9)がオンになると、主MOS-FET(4)のオン期間 $t_{ON} [s]$ 中にトランス(2)の2次巻線(6)に蓄積された $(E^2/2L_P) \times t_{ON}^2 [J]$ のエネルギーが放出され、図2(B)に示すようにトランス(2)の2次巻線(6)から出力端子(7, 8)に電流 I_S が流れる。ここで、トランス(2)の2次巻線(6)のインダクタンスを $L_S [H]$ とすると、同期整流用MOS-FET(9)のオン期間中は2次巻線(6)の電流 I_S が毎秒 V_0/L_S の割合で1次関数的に減少するため、2次巻線(6)に蓄積されたエネルギーが $(V_0^2/2L_S) \times t^2$ の傾きで減少する。ところで、トランス(2)の1次巻線(3)及び2次巻線(6)のインダクタンス $L_P, L_S [H]$ と巻数 N_P, N_S との間には $L_S = (N_S/N_P)^2 \times L_P$ の関係が成立するので、トランス(2)に蓄積されたエネルギーの放出時間 t_T は $t_T = (N_S \cdot E/N_P \cdot V_0) \times t_{ON} [s]$ となる。これと同時に、主MOS-FET(4)のオン期間 $t_{ON} [s]$ 中にリアクトル(11)に蓄積された $(V_S^2/2L) \times t_{ON}^2 [J]$ のエネルギーが第1のダイオード(15)を介して放出され、図2(C)に示すようにリアクトル(11)に流れる電流 I_L が毎秒 V_0/L の割合で1次関数的に減少する。これにより、リアクトル(11)に蓄積されたエネルギーが同期整流用MOS-FET(9)のオン期間中に $(V_0^2/2L) \times t^2$ の傾きで減少する。よって、リアクトル(11)に蓄積されたエネルギーの放出時間 t_L も $t_L = (N_S \cdot E/N_P \cdot V_0) \times t_{ON} [s]$ となり、トランス(2)に蓄積されたエネルギーの放出時間 t_T に略等しくなる。

【0022】

時刻 t_2 にてリアクトル(11)に蓄積されたエネルギーの放出が完了し、リアクトル(11)に流れる電流 I_L が図2(C)に示すように略0になると、リアクトル(11)の上端と第1のダイオード(15)との接続点Bでのリセット電圧 V_B が図2(D)に示すように $V_0 + V_F [V]$ から急激に略0[V]まで低下する。このとき、リセット検出回路(14)内の第1の反転器(16)に低い(L)レベルの電圧が入力され、第1の反転器(16)から第2のダイオード(17)を介してコンデンサ(22)に高い(H)レベルの電圧が印加される。これにより、コンデンサ(22)が充電され、切換回路(13)内のNORゲート(21)の第2の入力端子に高い(H)レベルの電圧が入力される。また、リアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧 V_A は図2(A)に示すように略0[V]であるから、切換回路(13)内の分圧抵抗(19, 20)の分圧点の電圧は低い(L)レベルを保持し、NORゲート(21)の第1の入力端子には低い(L)レベルの電圧が入力される。したがって、図2(E)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 V_{SC} が高い電圧(H)レベルから低い電圧(L)レベルとなり、切換回路(13)は付勢状態から消勢切換状態に切り換わる。これにより、同期整流用MOS-FET(9)がオンからオフとなり、同期整流動作が終了する。このとき、第2の反転器(23)にも分圧抵抗(19, 20)の分圧点からの低い(L)レベルの電圧が入力され、第2の反転器(23)の出力が高い電圧(L)レベルとなるが、第2の反転器(23)の出力は第4のダイオード(24)によりブロックされるため、コンデンサ(22)の電圧は主MOS-FET(4)が再びオンとなる時刻 t_3 まで高い(H)レベルを保持する。また、時

刻 t_2 から時刻 t_3 までの期間では、図 2 (F) に示すように主MOS-FET (4) が未だオフ状態であるため、図 2 (A) に示すようにリアクトル (11) の下端と分圧抵抗 (19) との接続点 A にリングによる振動電圧が発生する。

【0023】

実際には、時刻 t_2 にてリアクトル (11) に蓄積されたエネルギーの放出が完了した後、リアクトル (11) の上端と第 1 のダイオード (15) との接続点 B でのリセット電圧 V_B が図 2 (D) に示すようにリアクトル (11) のインダクタンスと第 3 のダイオード (18) の寄生容量等による共振周期で低下するので、リセット検出回路 (14) 内の第 1 の反転器 (16) の入力が低い電圧 (L) レベルとなる時刻がトランス (2) に蓄積されたエネルギーの放出が完了する時刻より遅れる場合がある。この場合は、リアクトル (11) と直列に抵抗を接続してリアクトル (11) に蓄積されたエネルギーの放出が完了するまでの時間を短縮することにより、トランス (2) の 1 次巻線 (3) 側にエネルギーを回生することなく同期整流動作を行うことができる。

【0024】

実施例 1 では、トランス (2) の 2 次巻線 (6) と並列に接続されたリアクトル (11) のエネルギーの蓄積期間及び放出期間に応じて同期整流用 MOS-FET (9) がオン・オフ制御されるので、直流電源 (1) の電圧 E 及び出力端子 (7, 8) 間の直流出力電圧 V_0 が変動しても同期整流動作の期間が自動的に調整され、効率よく同期整流動作を行うことができる。したがって、幅広い入出力範囲でトランス (2) の 2 次巻線 (6) から同期整流用 MOS-FET (9) 及び出力平滑コンデンサ (10) を介して取り出す直流出力電圧 V_0 の電力損失を抑制することが可能である。また、リアクトル (11) に蓄積されたエネルギーも全て出力端子 (7, 8) 側に送出されるため、同期整流回路での電力損失を最小限に抑えられる利点がある。

【実施例 2】

【0025】

実施例 1 は変更が可能である。例えば、実施例 1 の変更実施の形態を示す実施例 2 のスイッチング電源装置は、図 3 に示すように、図 1 に示すコンデンサ (22) 及び第 2 のダイオード (17) の接続点と第 4 のダイオード (24) との間に抵抗 (25) を接続し、コンデンサ (22)、第 2 の反転器 (23)、第 4 のダイオード (24) 及び抵抗 (25) で保持回路 (26) を構成したものである。保持回路 (26) は、リアクトル (11) の下端と分圧抵抗 (19) との接続点 A に発生する電圧 V_A のパルス幅が狭いときに NOR ゲート (21) の第 2 の入力端子の電圧を高い (H) レベルに保持して切換回路 (13) の消勢状態を保持する。その他の構成は、図 1 に示す実施例 1 のスイッチング電源装置と略同様である。

【0026】

図 3 に示すスイッチング電源装置では、出力端子 (7, 8) に接続される図示しない負荷が定格負荷の場合、主MOS-FET (4) のオフ期間中にリアクトル (11) に蓄積されたエネルギーの放出が完了すると、図 4 (B) に示すように時刻 t_1 にてリアクトル (11) の上端と第 1 のダイオード (15) との接続点 B でのリセット電圧 V_B が $V_0 + V_F [V]$ からリアクトル (11) のインダクタンスと第 3 のダイオード (18) の寄生容量等による共振周期で略 0 [V] まで低下する。このとき、リセット検出回路 (14) 内の第 1 の反転器 (16) に低い (L) レベルの電圧が入力され、第 1 の反転器 (16) から第 2 のダイオード (17) を介してコンデンサ (22) に高い (H) レベルの電圧が印加され、コンデンサ (22) が充電される。これにより、図 4 (D) に示すようにコンデンサ (22) の電圧 V_C が 0 [V] から高い (H) レベルとなり、切換回路 (13) 内の NOR ゲート (21) の第 2 の入力端子に高い (H) レベルの電圧が入力される。また、図 4 (A) に示すようにリアクトル (11) の下端と分圧抵抗 (19) との接続点 A の電圧 V_A は略 0 [V] であるから、切換回路 (13) 内の分圧抵抗 (19, 20) の分圧点の電圧は低い (L) レベルを保持し、NOR ゲート (21) の第 1 の入力端子には低い (L) レベルの電圧が入力される。したがって、図 4 (C) に示すように NOR ゲート (21) から同期整流用 MOS-FET (9) のゲート端子に付与される同期制御信号 V_{SC} が高い電圧 (H) レベルから低い電圧 (L) レベルとなり、同期整流用 MOS-FET (9) がオンからオフとなる。このとき、保持回路 (26) を構成する第 2 の反転器 (23) に分圧抵抗 (19, 20) の分圧点からの低い (L) レベルの電圧が入力され、第 2 の反転器 (23) の出力が高い電圧 (H) レベルとなるが、第 2 の反転器 (23) の出力は第

4のダイオード(24)によりブロックされるため、図4(D)に示すようにコンデンサ(22)の電圧 V_c は主MOS-FET(4)がオンとなる時刻 t_2 まで高い(H)レベルを保持する。また、時刻 t_1 から時刻 t_2 までの期間では、主MOS-FET(4)が未だオフ状態であるため、図4(A)に示すようにリアクトル(11)の下端と分圧抵抗(19)との接続点Aにリングによる電圧が発生する。

【0027】

時刻 t_2 において、主MOS-FET(4)がオフからオンになると、リアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧 V_A が図4(A)に示すようにトランス(2)の2次巻線(6)に発生する電圧 $V_s = (N_s/N_p) \times E [V]$ に略等しくなり、リアクトル(11)の上端と第1のダイオード(15)との接続点Bのリセット電圧 V_B が図4(B)に示すように出力端子(7, 8)間の直流出力電圧 V_o と第1のダイオード(15)の順方向電圧 V_F との和電圧 $V_o + V_F$ に略等しくなる。一方、同期整流用MOS-FET(9)のドレン・ソース端子間には、トランス(2)の2次巻線(6)の電圧 V_s と出力端子(7, 8)間の直流出力電圧 V_o との和電圧 $V_s + V_o$ が発生する。この和電圧 $V_s + V_o$ は、切換回路(13)内の分圧抵抗(19, 20)により分圧され、分圧抵抗(19, 20)の分圧点の電圧がNORゲート(21)の第1の入力端子に入力される。このとき、分圧抵抗(19, 20)の分圧点の電圧が高い(H)レベルとなるので、図4(C)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 V_{sc} が低い電圧(L)レベルに保持され、同期整流用MOS-FET(9)のオフを保持する。このとき、保持回路(26)を構成する第2の反転器(23)に分圧抵抗(19, 20)の分圧点からの高い(H)レベルの電圧が入力され、第2の反転器(23)の出力が低い電圧(L)レベルとなるため、コンデンサ(22)が抵抗(25)及び第4のダイオード(24)を介してコンデンサ(22)の静電容量と抵抗(25)の抵抗値との積で決まる時定数で放電される。これにより、図4(D)に示すようにコンデンサ(22)の電圧 V_c が1次関数的に低下し、NORゲート(21)の閾値電圧 V_{TH} 以下になると、NORゲート(21)の第2の入力端子の電圧が低い(L)レベルとなり、時刻 t_3 においてコンデンサ(22)の放電が完了して0[V]となる。図示しない負荷が定格負荷の場合は、主MOS-FET(4)のオン期間が長いため、コンデンサ(22)の放電終了時刻 t_3 よりも遅延した時刻 t_4 で主MOS-FET(4)がオンからオフとなる。時刻 t_4 以降の動作は、図1に示す実施例1のスイッチング電源装置と略同様である。

【0028】

また、出力端子(7, 8)に接続される図示しない負荷が軽負荷の場合は、主MOS-FET(4)のオン期間が定格負荷時よりも短くなるため、図5(A)に示すようにリアクトル(11)の下端と分圧抵抗(19)との接続点Aに発生する電圧 V_A のパルス幅が狭くなる。したがって、図5(A)に示すようにコンデンサ(22)の放電終了時刻 t_3 よりも早い時刻 t_5 でリアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧 V_A が略0[V]となるため、時刻 t_5 において切換回路(13)内の分圧抵抗(19, 20)の分圧点の電圧が低い(L)レベルとなり、NORゲート(21)の第1の入力端子に低い(L)レベルの電圧が入力される。また、主MOS-FET(4)のオン期間、即ち図5に示す時刻 t_2 から時刻 t_5 までの期間は分圧抵抗(19, 20)の分圧点の電圧が高い(H)レベルであるため、保持回路(26)を構成する第2の反転器(23)の出力が低い電圧(L)レベルとなり、コンデンサ(22)が抵抗(25)及び第4のダイオード(24)を介してコンデンサ(22)の静電容量と抵抗(25)の抵抗値との積で決まる時定数で放電される。これにより、図5(D)に示すようにコンデンサ(22)の電圧 V_c が1次関数的に低下する。時刻 t_5 において、切換回路(13)内の分圧抵抗(19, 20)の分圧点の電圧が低い(L)レベルになると、保持回路(26)を構成する第2の反転器(23)の出力が高い電圧(H)レベルとなるため、コンデンサ(22)が抵抗(25)及び第4のダイオード(24)を介して放電できなくなり、図5(D)に示すようにコンデンサ(22)の電圧 V_c がNORゲート(21)の閾値電圧 V_{TH} よりも高い電圧に保持される。したがって、軽負荷時は切換回路(13)を構成するNORゲート(21)の第2の入力端子の電圧が高い(H)レベルに保持されるので、図5(C)に示すようにNORゲート(21)の出力が低い(L)レベルに保持され、切換回路(13)は消勢状態を保持する。よって、軽負荷時は、同期整流用MOS-FET(9)がオフに保持されるため、同期整流用MOS-FET(9)による同期整流動作は行われず、寄生ダイオード又は外付けの

ダイオード(9a)により整流が行われる。

【0029】

実施例2では、軽負荷時において主MOS-FET(4)をオンするパルス幅が狭くなり、リアクトル(11)の下端と分圧抵抗(19)との接続点Aに発生する電圧VAのパルス幅が狭くなつたとき、保持回路(26)によりNORゲート(21)の第2の入力端子の電圧が高い(H)レベルに保持されるため、切換回路(13)の消勢状態が保持される。これにより、同期整流用MOS-FET(9)がオフに保持されて同期整流動作が停止するため、軽負荷時における整流回路での電力損失を最小限に抑えることができる。

【実施例3】

【0030】

また、本発明の他の実施の形態を示す実施例3のスイッチング電源装置は、図6に示すように、トランス(2)の2次巻線(6)の上(黒点)側と正側出力端子(7)との間に接続された同期整流用MOS-FET(9)と、トランス(2)の2次巻線(6)と直列に接続された3次巻線(30)と、ベース端子がリアクトル(11)の上端に接続されると共にエミッタ端子がトランス(2)の2次巻線(6)及び3次巻線(30)の接続点に接続され、ベース端子に電流が流れることによりリアクトル(11)にエネルギーを蓄積する電流IL又はリアクトル(11)に蓄積されたエネルギーを放出する電流ILを検出するリアクトル電流検出手段としての第1のNPNトランジスタ(31)と、ベース端子が抵抗(32)を介して第1のNPNトランジスタ(31)のコレクタ端子に接続され、エミッタ端子がダイオード(33)を介してトランス(2)の3次巻線(30)の上(黒点)側に接続されると共にコレクタ端子が同期整流用MOS-FET(9)のゲート端子に接続されたPNPトランジスタ(34)と、ベース端子が互いに逆極性で直列に接続された2つのダイオード(35,36)を介して第1のNPNトランジスタ(31)のコレクタ端子に接続され、エミッタ端子が同期整流用MOS-FET(9)のソース端子に接続されると共にコレクタ端子が同期整流用MOS-FET(9)のゲート端子に接続された第2のNPNトランジスタ(37)と、2つのダイオード(35,36)のアノード端子とダイオード(33)のカソード端子との間に接続された抵抗(38)とを備えている。2つの抵抗(32,38)、3つのダイオード(33,35,36)、PNPトランジスタ(34)及び第2のNPNトランジスタ(37)は切換回路(13)を構成し、トランス(2)の3次巻線(30)にエネルギーを蓄積する期間は同期整流用MOS-FET(9)をオフに保持し、第1のNPNトランジスタ(31)のベース端子に電流が流れりリアクトル(11)に蓄積されたエネルギーを放出する電流ILを検出したとき、同時に3次巻線(30)に発生する電圧により同期整流用MOS-FET(9)をオンにし、第1のNPNトランジスタ(31)のベース端子に電流が流れなくなり、リアクトル(11)に流れる電流ILを検出しなくなつたとき、同期整流用MOS-FET(9)をオフに切り換える。更に、トランス(2)の3次巻線(30)、第1のNPNトランジスタ(31)及び切換回路(13)は同期整流制御回路(12)を構成する。その他の構成は、図1に示す実施例1のスイッチング電源装置と略同様である。

【0031】

図6に示すスイッチング電源装置では、主制御回路(5)から主MOS-FET(4)のゲート端子に高い電圧(H)レベルの主制御信号VGが付与され、主MOS-FET(4)がオンのときは、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。ここで、直流電源(1)の電圧をE[V]、トランス(2)の1次巻線(3)のインダクタンスをLP[H]とすると、主MOS-FET(4)のオン期間t_{ON}[s]中に(E²/2LP)×t_{ON}²[J]のエネルギーがトランス(2)に蓄積される。また、トランス(2)の2次巻線(6)には電流が流れず、トランス(2)の1次巻線(3)及び2次巻線(6)の巻数をそれぞれN_P, N_Sとすると、トランス(2)の2次巻線(6)には上(黒点)側を負(-)、下側を正(+)とする電圧Vs=(N_S/N_P)×E[V]が発生する。このとき、第1のNPNトランジスタ(31)のベース及びエミッタを介してリアクトル(11)にエネルギーを蓄積する電流ILが流れる。ここで、リアクトル(11)のインダクタンスをL[H]とすると、毎秒Vs/Lの割合で1次関数的に増加する電流ILがリアクトル(11)に流れ、主MOS-FET(4)のオン期間t_{ON}[s]中に(Vs²/2L)×t_{ON}²[J]のエネルギーがリアクトル(11)に蓄積される

。また、第1のNPNトランジスタ(31)のベース端子に電流 I_L が流れるため、第1のNPNトランジスタ(31)はオン状態となる。更に、トランス(2)の3次巻線(30)にも上(黒点)側を負(-)、下側を正(+)とする電圧が発生するため、切換回路(13)を構成するPNPトランジスタ(34)はオフ状態、第2のNPNトランジスタ(37)はオフ状態となり、同期整流用MOS-FET(9)はオフを保持する。

【0032】

次に、主制御回路(5)から主MOS-FET(4)のゲート端子に付与される主制御信号 V_G が高い電圧(H)レベルから低い電圧(L)レベルとなり、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧 $V_S = (N_S/N_P) \times E [V]$ が発生する。これと同時に、3次巻線(30)にも上(黒点)側を正(+)、下側を負(-)とする電圧が発生する。このとき、リアクトル(11)に蓄積されたエネルギーを放出する電流 I_L が第1のNPNトランジスタ(31)のベース及びエミッタを介して出力端子(7,8)側へ流れ、第1のNPNトランジスタ(31)はオン状態を保持する。よって、切換回路(13)を構成するダイオード(36)のカソード端子が低い電圧(L)レベルとなるため、抵抗(32)及び第1のNPNトランジスタ(31)を介してPNPトランジスタ(34)のベース端子に電流が流れ、PNPトランジスタ(34)がオン状態となる。また、ダイオード(35)のカソード端子も低い電圧(L)レベルとなるため、第2のNPNトランジスタ(37)のベース端子には電流が流れず、第2のNPNトランジスタ(37)はオフ状態となる。これにより、トランス(2)の3次巻線(30)に発生した電圧が切換回路(13)内のダイオード(33)及びPNPトランジスタ(34)を介して同期整流用MOS-FET(9)のゲート端子に付与され、同期整流用MOS-FET(9)がオンとなる。

【0033】

同期整流用MOS-FET(9)がオンになると、主MOS-FET(4)のオン期間 $t_{ON} [s]$ 中にトランス(2)の2次巻線(6)に蓄積された $(E^2/2L_P) \times t_{ON}^2 [J]$ のエネルギーが放出され、トランス(2)の2次巻線(6)から同期整流用MOS-FET(9)を介して出力端子(7,8)に電流が流れれる。ここで、トランス(2)の2次巻線(6)のインダクタンスを $L_S [H]$ とすると、同期整流用MOS-FET(9)のオン期間中は2次巻線(6)の電流 I_S が毎秒 V_0/L_S の割合で1次関数的に減少するため、2次巻線(6)に蓄積されたエネルギーが $(V_0^2/2L_S) \times t^2$ の傾きで減少する。ところで、トランス(2)の1次巻線(3)及び2次巻線(6)のインダクタンス $L_P, L_S [H]$ と巻数 N_P, N_S との間には $L_S = (N_S/N_P)^2 \times L_P$ の関係が成立するので、トランス(2)に蓄積されたエネルギーの放出時間 t_T は $t_T = (N_S \cdot E/N_P \cdot V_0) \times t_{ON} [s]$ となる。これと同時に、主MOS-FET(4)のオン期間 $t_{ON} [s]$ 中にリアクトル(11)に蓄積された $(V_S^2/2L) \times t_{ON}^2 [J]$ のエネルギーが第1のNPNトランジスタ(31)のベース及びエミッタを介して放出され、リアクトル(11)に流れる電流 I_L が毎秒 V_0/L の割合で1次関数的に減少する。これにより、リアクトル(11)に蓄積されたエネルギーが同期整流用MOS-FET(9)のオン期間中に $(V_0^2/2L) \times t^2$ の傾きで減少する。よって、リアクトル(11)に蓄積されたエネルギーの放出時間 t_L も $t_L = (N_S \cdot E/N_P \cdot V_0) \times t_{ON} [s]$ となり、トランス(2)に蓄積されたエネルギーの放出時間 t_T に略等しくなる。

【0034】

リアクトル(11)に蓄積されたエネルギーが全て放出され、リアクトル(11)に蓄積されたエネルギーを放出する電流 I_L が流れなくなると、第1のNPNトランジスタ(31)のベース端子に電流が流れなくなるため、第1のNPNトランジスタ(31)はオフ状態となる。これにより、切換回路(13)を構成するダイオード(36)のカソード端子が高い電圧(H)レベルとなるため、抵抗(32)及び第1のNPNトランジスタ(31)を介してPNPトランジスタ(34)のベース端子に電流が流れなくなり、PNPトランジスタ(34)がオフ状態となる。また、ダイオード(35)のカソード端子も高い電圧(H)レベルとなるため、第2のNPNトランジスタ(37)のベース端子に電流が流れ、第2のNPNトランジスタ(37)がオン状態となる。これにより、同期整流用MOS-FET(9)のゲート・ソース間の電圧が略0[V]となるため、同期整流用MOS-FET(9)がオンからオフに切り換えられ、同期整流動作が終了する。

【0035】

実施例3でも前述の実施例1と略同様に、トランス(2)の2次巻線(6)と並列に第1のNPNトランジスタ(31)のベース及びエミッタを介して接続されたリクトル(11)のエネルギーの蓄積期間及び放出期間に応じて同期整流用MOS-FET(9)がオン・オフ制御されるので、直流電源(1)の電圧E及び出力端子(7,8)間の直流出力電圧V₀の変動に応じて同期整流動作の期間が自動的に調整され、効率よく同期整流動作を行うことができる。したがって、幅広い入出力範囲でトランス(2)の2次巻線(6)から同期整流用MOS-FET(9)及び出力平滑コンデンサ(10)を介して取り出す直流出力電圧V₀の電力損失を抑制することが可能である。また、リクトル(11)に蓄積されたエネルギーも第1のNPNトランジスタ(31)のベース及びエミッタを介して全て出力端子(7,8)側に送出されるため、同期整流回路での電力損失を最小限に抑えられる利点がある。

【実施例4】

【0036】

また、図1に示す実施例1のスイッチング電源装置における同期整流制御回路(12)は、図7に示す実施例4のスイッチング電源装置のように1つのEX-OR(排他的論理和)ゲート(40)で構成することも可能である。即ち、EX-ORゲート(40)の第1の入力端子(40a)をリクトル(11)の上端と第1のダイオード(15)との接続点Bに接続し、同第2の入力端子(40b)をリクトル(11)の下端と同期整流用MOS-FET(9)のドレイン端子との接続点Aに接続し、同出力端子(40c)を同期整流用MOS-FET(9)のゲート端子に接続することにより、同期整流制御回路(12)を構成する。

【0037】

図7に示すスイッチング電源装置では、主MOS-FET(4)がオンのとき、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。このとき、トランス(2)の2次巻線(6)に上(黒点)側を負(-)、下側を正(+)とする電圧V_S=(N_S/N_P)×E[V]が発生し、リクトル(11)の下端の電圧V_Aがトランス(2)の2次巻線(6)に発生する電圧V_Sに略等しくなり、リクトル(11)の上端の電圧V_Bが出力端子(7,8)間の直流出力電圧V₀と第1のダイオード(15)の順方向電圧V_Fとの和電圧V₀+V_Fに略等しくなる。これにより、第1のダイオード(15)を介してリクトル(11)に電流I_Lが流れ、リクトル(11)にエネルギーが蓄積される。このとき、EX-ORゲート(40)の第1及び第2の入力端子(40a, 40b)にそれぞれ高い(H)レベルの電圧が入力されるため、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に低い電圧(L)レベルの同期制御信号V_{Sc}が付与され、同期整流用MOS-FET(9)がオフに保持される。

【0038】

次に、主MOS-FET(4)がオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧V_S=(N_S/N_P)×E[V]が発生する。このとき、リクトル(11)の下端の電圧V_Aが略0[V]となるため、EX-ORゲート(40)の第2の入力端子(40b)には低い(L)レベルの電圧が入力される。一方、リクトル(11)の上端の電圧V_Bは出力端子(7,8)間の直流出力電圧V₀と第1のダイオード(15)の順方向電圧V_Fとの和電圧V₀+V_Fに略等しいため、EX-ORゲート(40)の第1の入力端子(40a)には高い(H)レベルの電圧が入力される。したがって、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号V_{Sc}が低い電圧(L)レベルから高い電圧(H)レベルとなり、同期整流用MOS-FET(9)がオフからオンに切り換えられる。これにより、主MOS-FET(4)のオン期間中にトランス(2)に蓄積されたエネルギーが2次巻線(6)から出力端子(7,8)へ放出されると共に、リクトル(11)に蓄積されたエネルギーが第1のダイオード(15)を介して出力端子(7,8)へ放出される。

【0039】

リクトル(11)に蓄積されたエネルギーの放出が完了し、リクトル(11)に電流I_Lが流れなくなると、リクトル(11)の上端の電圧V_BがV₀+V_F[V]から急激に略0[V]まで

低下する。このとき、EX-ORゲート(40)の第1の入力端子(40a)に低い(L)レベルの電圧が入力される。また、リアクトル(11)の下端の電圧V_Aは略0[V]であるから、EX-ORゲート(40)の第2の入力端子(40b)にも低い(L)レベルの電圧が入力される。これにより、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号V_{sc}が高い電圧(H)レベルから低い電圧(L)レベルとなるため、同期整流用MOS-FET(9)がオンからオフとなり、同期整流動作が終了する。

【0040】

以上のように、図7に示す実施例4のスイッチング電源装置でも図1に示す実施例1のスイッチング電源装置と略同様の動作をするため、実施例4でも実施例1と略同様の作用及び効果が得られる。更に、実施例4では同期整流制御回路(12)を1つのEX-ORゲート(40)で構成したため、実施例1に比較して同期整流制御回路(12)の構成を大幅に簡略化できる利点がある。

【0041】

実際には、リアクトル(11)の上端の電圧V_B及び同下端の電圧V_Aの範囲がEX-ORゲート(40)の入力電圧の範囲を超える場合が多いため、図8に示すように、リアクトル(11)の上端とEX-ORゲート(40)の第1の入力端子(40a)との間及びリアクトル(11)の下端とEX-ORゲート(40)の第2の入力端子(40b)との間にそれぞれ第1及び第2のレベルシフト用抵抗(41, 42), (43, 44)を接続することが望ましい。更に、図9に示すように、リアクトル(11)の上端の電圧V_B又は同下端の電圧V_Aが負(-)になるとき、それぞれの電圧V_B, V_Aを0[V]にクランプする第1及び第2のクランプ用ダイオード(45, 46)を第1のレベルシフト用抵抗(41, 42)の接続点と接地端子との間及び第2のレベルシフト用抵抗(43, 44)の接続点と接地端子との間に接続してもよい。

【実施例5】

【0042】

ところで、実施例4では、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、リアクトル(11)の下端の電圧V_Aが略0[V]であるとしたが、実際にはトランス(2)に蓄積されたエネルギーの放出が完了した後にリアクトル(11)の下端にリングによる振動電圧が発生する。このため、リアクトル(11)の下端の電圧V_AがEX-ORゲート(40)の閾値電圧以下とならず、EX-ORゲート(40)の第2の入力端子(40b)に高い(H)レベルの電圧が付与されることがある。したがって、この場合は、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号V_{sc}が高い電圧(H)レベルとなり、同期整流用MOS-FET(9)がオンからオフに切り換えられない不具合が発生する。そこで、図10に示す実施例5のスイッチング電源装置では、EX-ORゲート(40)の代わりにANDゲート(50)及び反転器(51)により同期整流制御回路(12)を構成する。即ち、ANDゲート(50)の第1の入力端子(50a)をリアクトル(11)の上端と第1のダイオード(15)との接続点Bに接続し、同第2の入力端子(50b)を反転器(51)を介してリアクトル(11)の下端と同期整流用MOS-FET(9)のドレイン端子との接続点Aに接続し、同出力端子(50c)を同期整流用MOS-FET(9)のゲート端子に接続することにより、同期整流制御回路(12)を構成する。

【0043】

図10に示すスイッチング電源装置では、主MOS-FET(4)がオンのとき、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。このとき、トランス(2)の2次巻線(6)に上(黒点)側を負(-)、下側を正(+)とする電圧V_s=(N_S/N_P)×E[V]が発生し、リアクトル(11)の下端の電圧V_Aがトランス(2)の2次巻線(6)に発生する電圧V_sに略等しくなり、リアクトル(11)の上端の電圧V_Bが出力端子(7, 8)間の直流出力電圧V_oと第1のダイオード(15)の順方向電圧V_Fとの和電圧V_o+V_Fに略等しくなる。これにより、第1のダイオード(15)を介してリアクトル(11)に電流I_Lが流れ、リアクトル(11)にエネルギーが蓄積される。このとき、ANDゲート(50)の第1の入力端子(50a)に高い(H)レベルの電圧が入力され、同第2の入力端

子(50b)に反転器(51)を介して低い(L)レベルの電圧が入力されるため、ANDゲート(50)の出力端子(50c)から同期整流用MOS-FET(9)のゲート端子に低い電圧(L)レベルの同期制御信号V_{Sc}が付与され、同期整流用MOS-FET(9)がオフに保持される。

【0044】

次に、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧V_S=(N_S/N_P)×E[V]が発生する。このとき、リアクトル(11)の下端の電圧V_Aが略0[V]となるため、反転器(51)を介してANDゲート(50)の第2の入力端子(50b)に高い(H)レベルの電圧が入力される。一方、リアクトル(11)の上端の電圧V_Bは出力端子(7,8)間の直流出力電圧V_oと第1のダイオード(15)の順方向電圧V_Fとの和電圧V_o+V_Fに略等しいため、ANDゲート(50)の第1の入力端子(50a)には高い(H)レベルの電圧が入力される。したがって、ANDゲート(50)の出力端子(50c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号V_{Sc}が低い電圧(L)レベルから高い電圧(H)レベルとなり、同期整流用MOS-FET(9)がオフからオンに切り換えられる。これにより、主MOS-FET(4)のオン期間中にトランス(2)に蓄積されたエネルギーが2次巻線(6)から出力端子(7,8)へ放出されると共に、リアクトル(11)に蓄積されたエネルギーが第1のダイオード(15)を介して出力端子(7,8)へ放出される。

【0045】

リアクトル(11)に蓄積されたエネルギーの放出が完了し、リアクトル(11)に電流I_Lが流れなくなると、リアクトル(11)の上端の電圧V_BがV_o+V_F[V]から急激に略0[V]まで低下する。このとき、ANDゲート(50)の第1の入力端子(50a)に低い(L)レベルの電圧が入力される。これにより、リアクトル(11)の下端から反転器(51)を介してANDゲート(50)の第2の入力端子(50b)に入力される電圧が低い(L)レベル又は高い(H)レベルの何れの場合でも、出力端子(50c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号V_{Sc}が高い電圧(H)レベルから低い電圧(L)レベルとなるため、同期整流用MOS-FET(9)がオンからオフとなり、同期整流動作が終了する。

【0046】

実施例5では、リアクトル(11)に蓄積されたエネルギーの放出が完了した後にリアクトル(11)の下端に発生するリングギングによる振動電圧のレベルが大きい場合でも、同期整流用MOS-FET(9)を確実にオンからオフに切り換えることができる。

【0047】

なお、実施例5の同期整流制御回路(12)を構成するANDゲート(50)及び反転器(51)は、実際には1種類の論理素子で構成することが製造コスト上望ましいため、図11に示すように第1～第3のNANDゲート(52, 53, 54)で同期整流制御回路(12)を構成する方がより好ましい。即ち、図11に示す第1及び第3のNANDゲート(52, 54)は反転器を構成するので、第1のNANDゲート(52)を図10に示す反転器(51)の代わりに接続し、第2のNANDゲート(53)を図10に示すANDゲート(50)の代わりに接続し、第3のNANDゲート(54)を第2のNANDゲート(53)の後段に接続すれば、図10と等価な同期整流制御回路(12)が得られる。

【実施例6】

【0048】

また、実施例1のもう一つの変更実施の形態を示す実施例6のスイッチング電源装置は、図12に示すように、第1のダイオード(15)のカソード端子と同期整流用MOS-FET(9)のソース端子との間に駆動用NPNトランジスタ(60)及び駆動用MOS-FET(61)を直列に接続し、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点を同期整流用MOS-FET(9)のゲート端子に接続し、同期整流用MOS-FET(9)のゲート・ソース端子間に第1の抵抗(62)を接続し、NORゲート(21)の出力端子を駆動用NPNトランジスタ(60)のベース端子に接続し、もう一つのNORゲート(63)の第1の入力端子をNORゲート(21)の出力端子に接続し且つもう一つのNORゲート(63)の第2の入力端子を分圧抵抗(19, 20)の分圧点に接続すると共にもう

一つのNORゲート(63)の出力端子を駆動用MOS-FET(61)のゲート端子に接続し、第2のダイオード(17)のカソード端子及びコンデンサ(22)の接続点と駆動用MOS-FET(61)のゲート端子との間に第2の抵抗(64)を接続して分圧抵抗(19, 20)及びNORゲート(21)と共に切換回路(13)を構成し、図1に示す第3のダイオード(18)、第2のダイオード(23)及び第4のダイオード(24)を省略したものである。その他の構成は、図1に示す実施例1のスイッチング電源装置と略同様である。

【0049】

図12に示すスイッチング電源装置では、主MOS-FET(4)がオンのときは、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。また、トランス(2)の2次巻線(6)には電流が流れず、直流電源(1)の電圧をE[V]、トランス(2)の1次巻線(3)及び2次巻線(6)の巻数をそれぞれN_P, N_Sとすると、トランス(2)の2次巻線(6)には上(黒点)側を負(-)、下側を正(+)とする電圧V_S=(N_S/N_P)×E[V]が発生する。このとき、リアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧V_Aはトランス(2)の2次巻線(6)に発生する電圧V_Sに略等しく、リアクトル(11)の上端と第1のダイオード(15)との接続点Bの電圧V_Bは出力端子(7, 8)間の直流出力電圧V₀と第1のダイオード(15)の順方向電圧V_Fとの和電圧V₀+V_Fに略等しいため、第1のダイオード(15)を介してリアクトル(11)に電流I_Lが流れ、リアクトル(11)にエネルギーが蓄積される。

【0050】

一方、同期整流用MOS-FET(9)のドレイン・ソース端子間には、トランス(2)の2次巻線(6)の電圧V_S=(N_S/N_P)×E[V]と出力端子(7, 8)間の直流出力電圧V₀との和電圧V_S+V₀が発生する。この和電圧V_S+V₀は、同期整流制御回路(12)を構成する切換回路(13)内の分圧抵抗(19, 20)により分圧され、分圧抵抗(19, 20)の分圧点の電圧がNORゲート(21)の第1の入力端子に入力される。よって、主MOS-FET(4)がオンのときは分圧抵抗(19, 20)の分圧点の電圧が高い(H)レベルとなるので、NORゲート(21)の出力信号が低い電圧(L)レベルとなり、駆動用NPNトランジスタ(60)がオフとなる。また、もう一つのNORゲート(63)の第2の入力端子にも分圧抵抗(19, 20)の分圧点からの高い(H)レベルの電圧が入力されるため、もう一つのNORゲート(63)の出力信号も低い電圧(L)レベルとなり、駆動用MOS-FET(61)もオフとなる。したがって、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与すべき同期制御信号V_{SC}が outputされないが、第1の抵抗(62)により同期整流用MOS-FET(9)のゲート端子の電圧が低い(L)レベルに保持され、切換回路(13)は消勢状態を保持する。これにより、同期整流用MOS-FET(9)はオフを保持する。また、このときは同期整流制御回路(12)を構成するリセット検出回路(14)内の第1の反転器(16)にリアクトル(11)の上端と第1のダイオード(15)との接続点Bからの高い(H)レベルの電圧が入力され、第1の反転器(16)の出力が低い電圧(L)レベルとなるので、コンデンサ(22)の電圧V_Cが低い(L)レベルに保持される。

【0051】

次に、主MOS-FET(4)がオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧V_S=(N_S/N_P)×E[V]が発生する。このとき、リアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧V_Aが略0[V]となり、分圧抵抗(19, 20)の分圧点の電圧が低い(L)レベルとなるので、NORゲート(21)の第1の入力端子には低い(L)レベルの電圧が入力される。このとき、リアクトル(11)の上端と第1のダイオード(15)との接続点Bの電圧V_Bは、出力端子(7, 8)間の直流出力電圧V₀と第1のダイオード(15)の順方向電圧V_Fとの和電圧V₀+V_Fに略等しいため、リセット検出回路(14)内の第1の反転器(16)に高い(H)レベルの電圧が入力され、第1の反転器(16)の出力が低い電圧(L)レベルとなる。また、もう一つのNORゲート(63)の出力信号も低い電圧(L)レベルであるから、第2の抵抗(64)を介してコンデンサ(22)の電圧V_Cも低い(L)レベルを保持し、NORゲート(21)の第2の入力端子に低い(L)レベルの電圧が入力される。したがって、NORゲート(21)の出力端子から高い電圧(H)

レベルの信号が出力され、駆動用MOS-FET(61)がオンとなるため、駆動用NPNトランジスタ(60)のエミッタ端子が高い電圧(H)レベルとなる。もう一つのNORゲート(63)の第1の入力端子には、NORゲート(21)の出力端子からの高い電圧(H)レベルの信号が入力されるため、もう一つのNORゲート(63)の出力端子から駆動用MOS-FET(61)のゲート端子に低い電圧(L)レベルの信号が付与され、駆動用MOS-FET(61)はオフを保持する。よって、駆動用NPNトランジスタ(60)がオンで駆動用MOS-FET(61)がオフであるから、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 V_{sc} が低い電圧(L)レベルから高い電圧(H)レベルとなり、切換回路(13)は消勢状態から付勢状態に切り換わる。これにより、同期整流用MOS-FET(9)がオンとなり、主MOS-FET(4)のオン期間中にトランス(2)の2次巻線(6)に蓄積されたエネルギーが放出され、トランス(2)の2次巻線(6)から出力端子(7, 8)に1次閾数的に減少する電流 I_S が流れる。これと同時に、主MOS-FET(4)のオン期間中にリクトル(11)に蓄積されたエネルギーも第1のダイオード(15)を介して放出され、リクトル(11)に流れる電流 I_L が1次閾数的に減少する。

【0052】

リクトル(11)に蓄積されたエネルギーの放出が完了し、リクトル(11)に流れる電流 I_L が略ゼロになると、リクトル(11)の上端と第1のダイオード(15)との接続点Bでのリセット電圧 V_B が $V_0 + V_F$ [V]から急激に低下する。このとき、リセット検出回路(14)内の第1の反転器(16)に低い(L)レベルの電圧が入力され、第1の反転器(16)から第2のダイオード(17)を介してコンデンサ(22)に高い(H)レベルの電圧が印加される。これにより、コンデンサ(22)が充電され、切換回路(13)内のNORゲート(21)の第2の入力端子に高い(H)レベルの電圧が入力される。これにより、NORゲート(21)の出力端子から駆動用NPNトランジスタ(60)のベース端子に低い電圧(L)レベルの信号が付与され、駆動用NPNトランジスタ(60)がオフとなる。一方、リクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧 V_A は略0[V]であるから、切換回路(13)内の分圧抵抗(19, 20)の分圧点の電圧は低い(L)レベルを保持し、もう一つのNORゲート(63)の第2の入力端子に低い(L)レベルの電圧が入力される。また、NORゲート(21)の出力端子からもう一つのNORゲート(63)の第1の入力端子に低い(L)レベルの電圧が入力されるから、もう一つのNORゲート(63)の出力端子から駆動用MOS-FET(61)のゲート端子に高い電圧(H)レベルの信号が付与され、駆動用MOS-FET(61)がオンとなる。したがって、駆動用NPNトランジスタ(60)がオフで駆動用MOS-FET(61)がオンであるから、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 V_{sc} が低い電圧(L)レベルとなり、切換回路(13)は付勢状態から消勢切換状態に切り換わる。これにより、同期整流用MOS-FET(9)がオフとなり、同期整流動作が終了する。このとき、もう一つのNORゲート(63)の出力端子から第2の抵抗(64)を介してコンデンサ(22)にも高い(H)レベルの電圧が印加されるため、コンデンサ(22)の電圧 V_C は主MOS-FET(4)が再びオンとなるまで高い(H)レベルを保持する。また、同期整流用MOS-FET(9)がオフしてから再び主MOS-FET(4)がオンするまでの期間では、リクトル(11)の下端と分圧抵抗(19)との接続点Aにリングによる振動電圧が発生する。

【0053】

ところで、トランス(2)に蓄積されたエネルギーの放出が完了した後にリクトル(11)の下端にリングによる振動電圧が発生し、リクトル(11)の下端の電圧 V_A がもう一つのNORゲート(63)の閾値電圧以下とならない場合、もう一つのNORゲート(63)の第2の入力端子に高い(H)レベルの電圧が入力される。この場合は、もう一つのNORゲート(63)の出力端子から駆動用MOS-FET(61)のゲート端子に低い電圧(L)レベルの信号が付与され、駆動用MOS-FET(61)がオフとなる。したがって、駆動用NPNトランジスタ(60)及び駆動用MOS-FET(61)が共にオフとなるから、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期

整流用MOS-FET(9)のゲート端子に付与すべき同期制御信号V_{SC}が出力されないが、第1の抵抗(62)により同期整流用MOS-FET(9)のゲート端子の電圧が低い(L)レベルとなり、切換回路(13)は付勢状態から消勢切換状態に切り換わる。よって、トランス(2)に蓄積されたエネルギーの放出が完了した後、リアクトル(11)の下端の電圧V_Aがもう一つのNORゲート(63)の閾値電圧以下とならない場合でも、同期整流用MOS-FET(9)がオフとなり、同期整流動作が終了する。

【0054】

実施例6では、主MOS-FET(4)がオンでトランス(2)及びリアクトル(11)にエネルギーを蓄積する期間は、駆動用NPNトランジスタ(60)及び駆動用MOS-FET(61)と共にオフにし、同期整流用MOS-FET(9)のゲート・ソース端子間に接続された第1の抵抗(62)により同期整流用MOS-FET(9)のオフを保持するので、同期整流用MOS-FET(9)のオフ期間中はゲート端子に低い電圧(L)レベルの同期制御信号V_{SC}を継続して付与する必要がなく、同期整流制御回路(12)の消費電力を抑制できる利点がある。

【0055】

本発明の実施態様は前記の6つの実施例1～6に限定されず、更に種々の変更が可能である。例えば、実施例1、2及び4～6では同期整流用MOS-FET(9)をトランス(2)の2次巻線(6)の下側と負側出力端子(8)との間に接続したが、実施例3に示すようにトランス(2)の2次巻線(6)の上(黒点)側と正側出力端子(7)との間に接続してもよい。また、実施例1及び2の第1の反転器(16)及び第2の反転器(23)はNORゲート(18)と同様の論理素子で構成することができる。即ち、NORゲートの何れか一方の入力端子を接地すればNORゲートをインバータ(反転器)として使用することができる。また、実施例6の負側出力端子(8)と第1のダイオード(15)及び第1の反転器(16)の接続点との間に図1又は図3に示す0Vクランプ用の第3のダイオード(18)を接続してもよい。更に、実施例1～6では同期整流用スイッチング素子としてドレイン・ソース端子間に寄生ダイオードを有するMOS-FET(MOS型電界効果トランジスタ)を使用したが、IGBT(絶縁ゲート型トランジスタ)、SiT(静電誘導型トランジスタ)又はPNP、NPN型等のバイポーラトランジスタも使用可能である。但し、これらは寄生ダイオードを内蔵しないので、両主端子間に別付けの整流ダイオードを接続すればよい。

【産業上の利用可能性】

【0056】

本発明は、フライバック方式の同期整流型スイッチング電源装置に効果が顯著である。

【図面の簡単な説明】

【0057】

【図1】本発明によるスイッチング電源装置の一実施の形態を示す電気回路図(実施例1)

【図2】図1の回路の各部の電圧及び電流を示すタイミングチャート

【図3】図1の変更実施の形態を示す電気回路図(実施例2)

【図4】図3の回路の定格負荷時での各部の電圧及び電流を示すタイミングチャート

【図5】図3の回路の軽負荷時での各部の電圧及び電流を示すタイミングチャート

【図6】本発明の他の実施の形態を示す電気回路図(実施例3)

【図7】図1の同期整流制御回路をEX-ORゲートで構成した実施の形態を示す電気回路図(実施例4)

【図8】図7の変更実施の形態を示す電気回路図

【図9】図8の変更実施の形態を示す電気回路図

【図10】図1の同期整流制御回路をANDゲート及び反転器で構成した実施の形態を示す電気回路図(実施例5)

【図11】図10の同期整流制御回路を3つのNANDゲートで構成した実施の形態を示す電気回路図

【図12】図1のもう一つの変更実施の形態を示す電気回路図(実施例6)

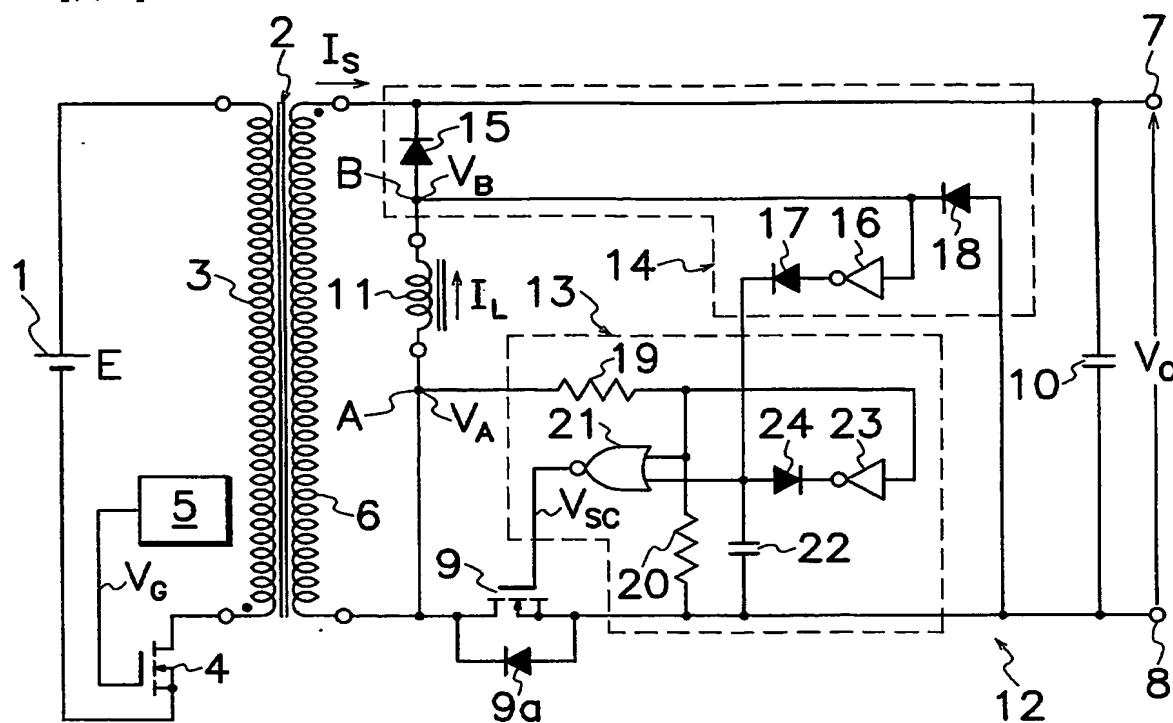
【符号の説明】

【0058】

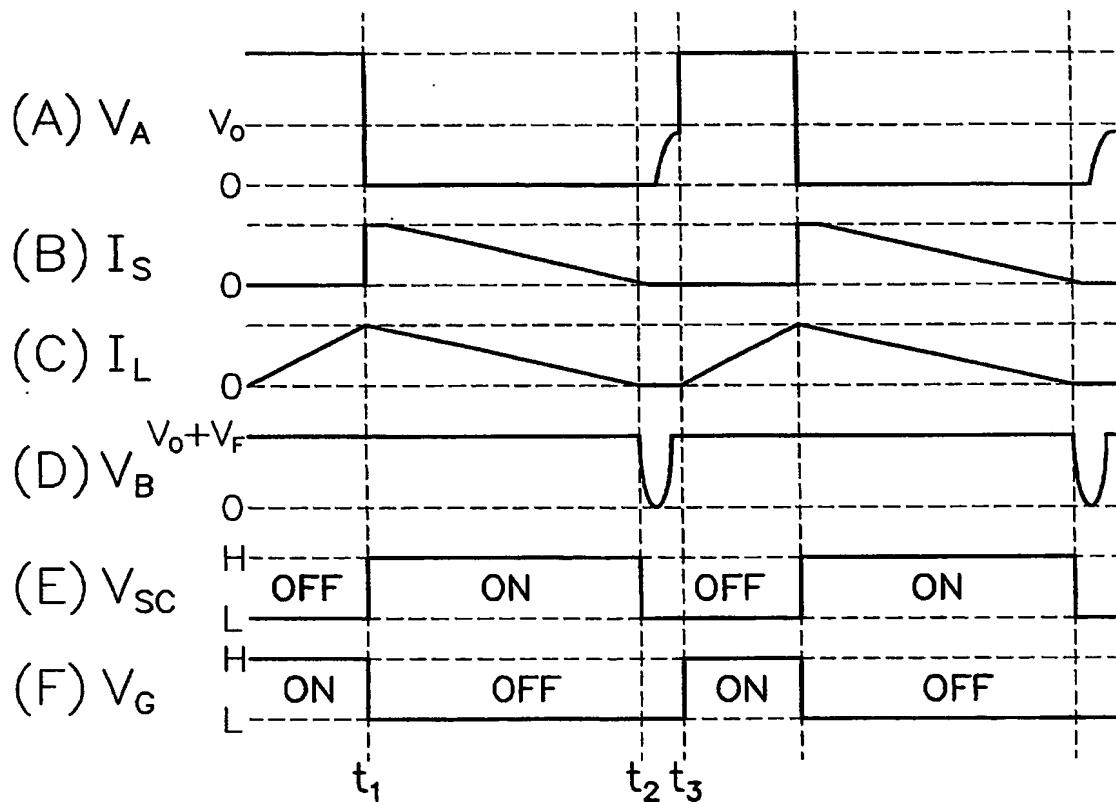
(1) · · 直流電源、 (2) · · トランス、 (3) · · 1次巻線、 (4) · · 主MOS-FET (主スイッチング素子)、 (5) · · 主制御回路、 (6) · · 2次巻線、 (7,8) · · 出力端子、 (9) · · 同期整流用MOS-FET (同期整流用スイッチング素子)、 (9a) · · 寄生ダイオード、 (10) · · 出力平滑コンデンサ、 (11) · · リアクトル、 (12) · · 同期整流制御回路、 (13) · · 切換回路、 (14) · · リセット検出回路、 (15) · · 第1のダイオード (整流素子)、 (16) · · 第1の反転器 (リセット電圧検出手段)、 (17) · · 第2のダイオード (リセット電圧検出手段)、 (18) · · 第3のダイオード、 (19, 20) · · 分圧抵抗、 (21) · · NORゲート (切換制御手段)、 (22) · · コンデンサ、 (23) · · 第2の反転器、 (24) · · 第4のダイオード、 (25) · · 抵抗、 (26) · · 保持回路、 (30) · · 3次巻線、 (31) · · 第1のNPNトランジスタ (リアクトル電流検出手段)、 (32,38) · · 抵抗、 (33,35,36) · · ダイオード、 (34) · · PNPトランジスタ、 (37) · · 第2のNPNトランジスタ、 (40) · · EX-ORゲート (同期整流制御回路)、 (40a) · · 第1の入力端子、 (40b) · · 第2の入力端子、 (40c) · · 出力端子、 (41,42) · · 第1のレベルシフト用抵抗、 (43,44) · · 第2のレベルシフト用抵抗、 (45) · · 第1のクランプ用ダイオード、 (46) · · 第2のクランプ用ダイオード、 (50) · · ANDゲート、 (50a) · · 第1の入力端子、 (50b) · · 第2の入力端子、 (50c) · · 出力端子、 (51) · · 反転器、 (52) · · 第1のNANDゲート、 (53) · · 第2のNANDゲート、 (54) · · 第3のNANDゲート、 (60) · · 駆動用NPNトランジスタ、 (61) · · 駆動用MOS-FET、 (62) · · 第1の抵抗、 (63) · · もう一つのNORゲート、 (64) · · 第2の抵抗

【書類名】図面

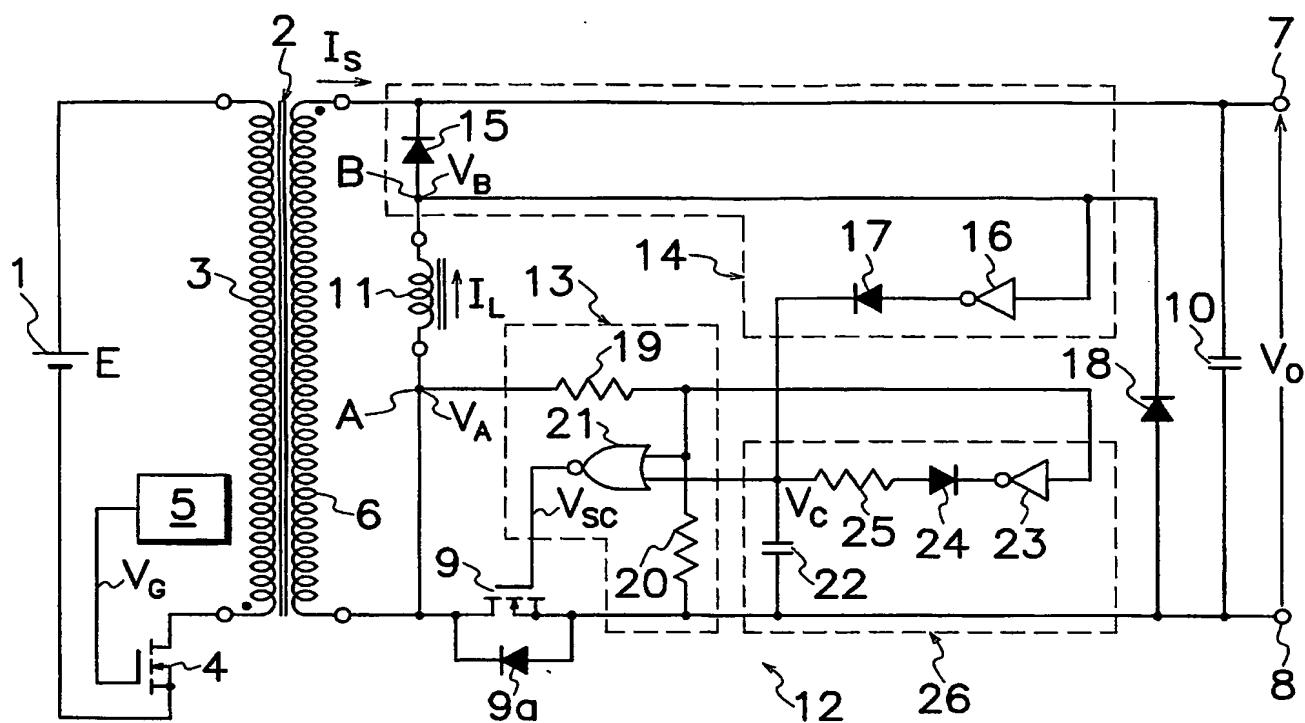
【図1】



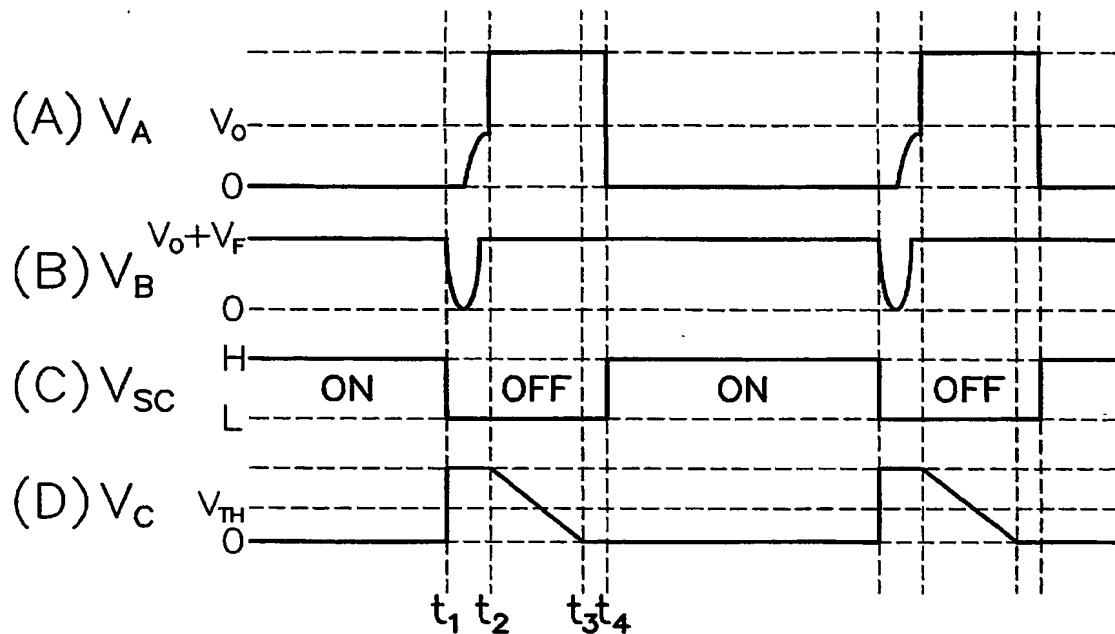
【図2】



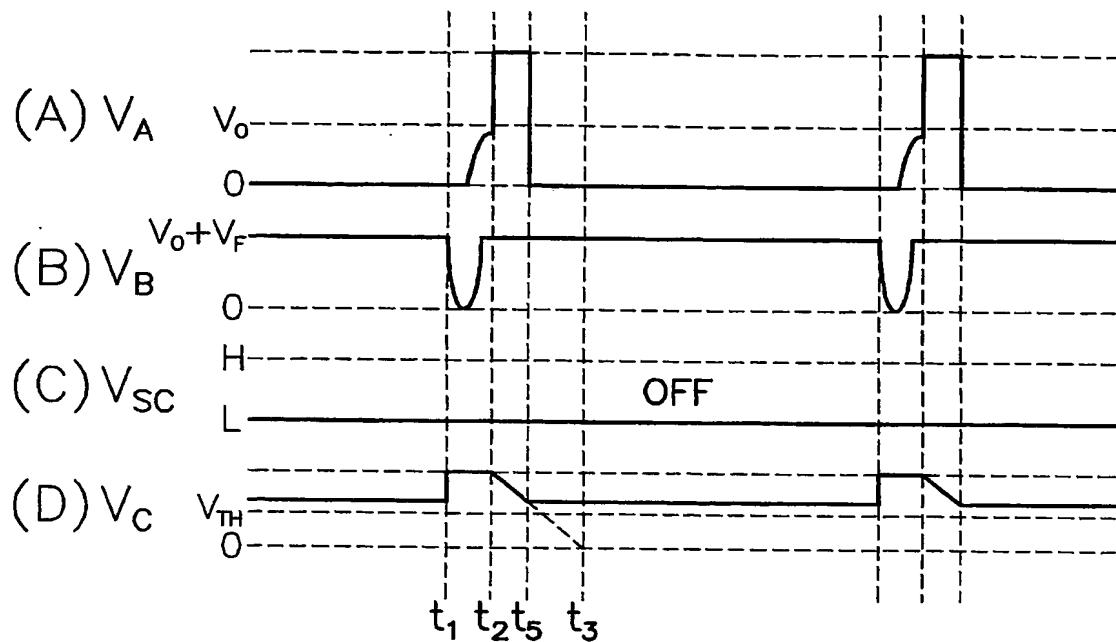
【図3】



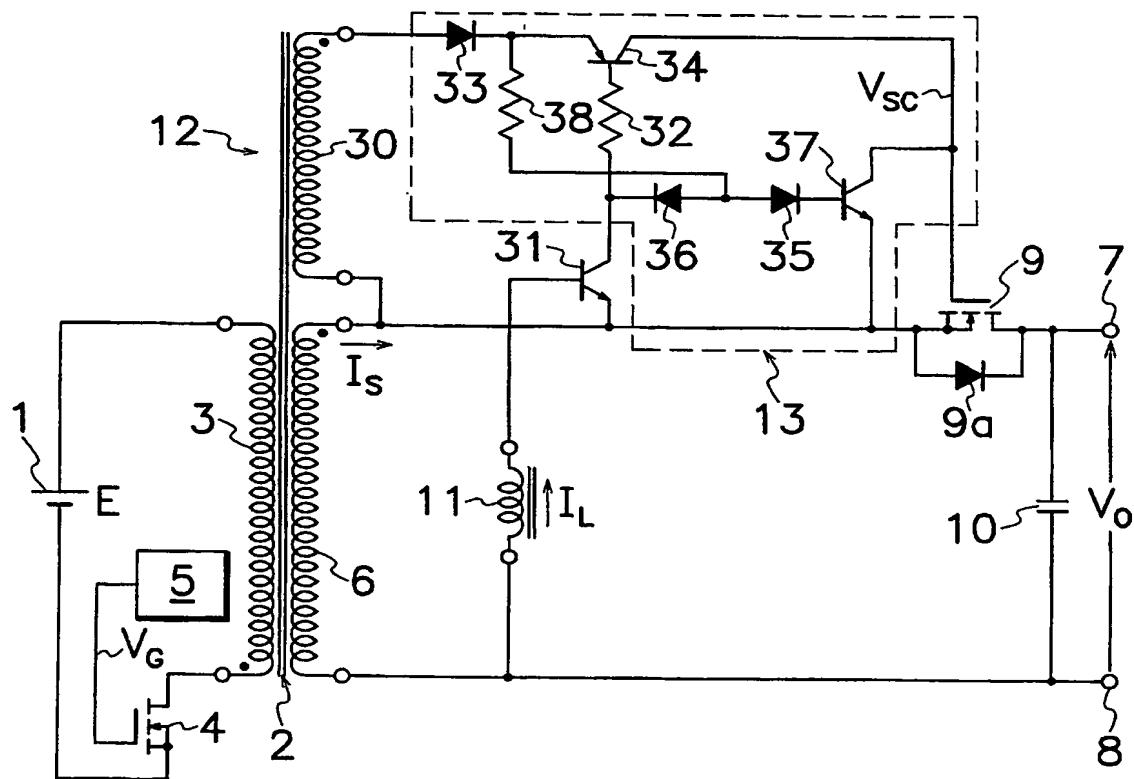
【図4】



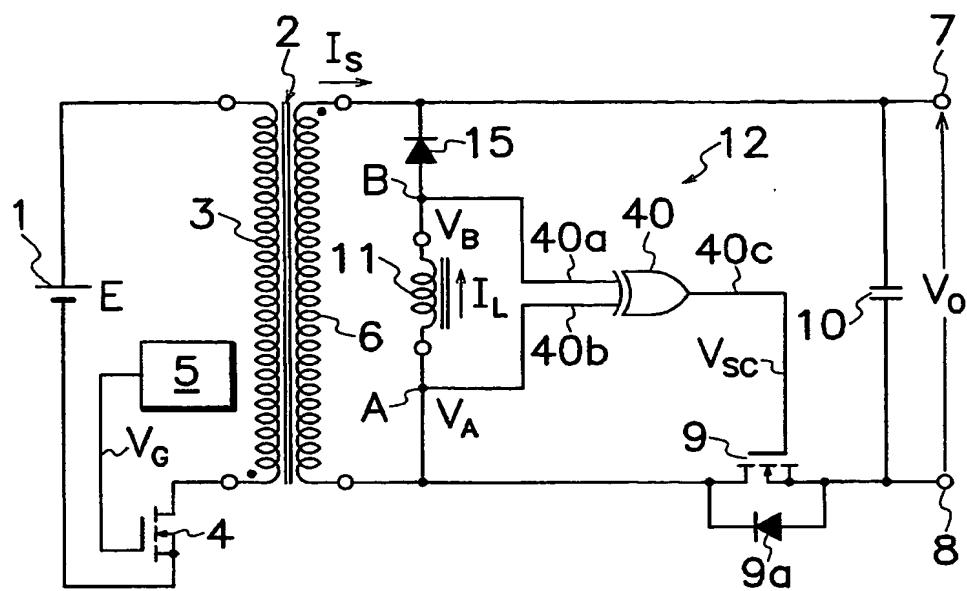
【図5】



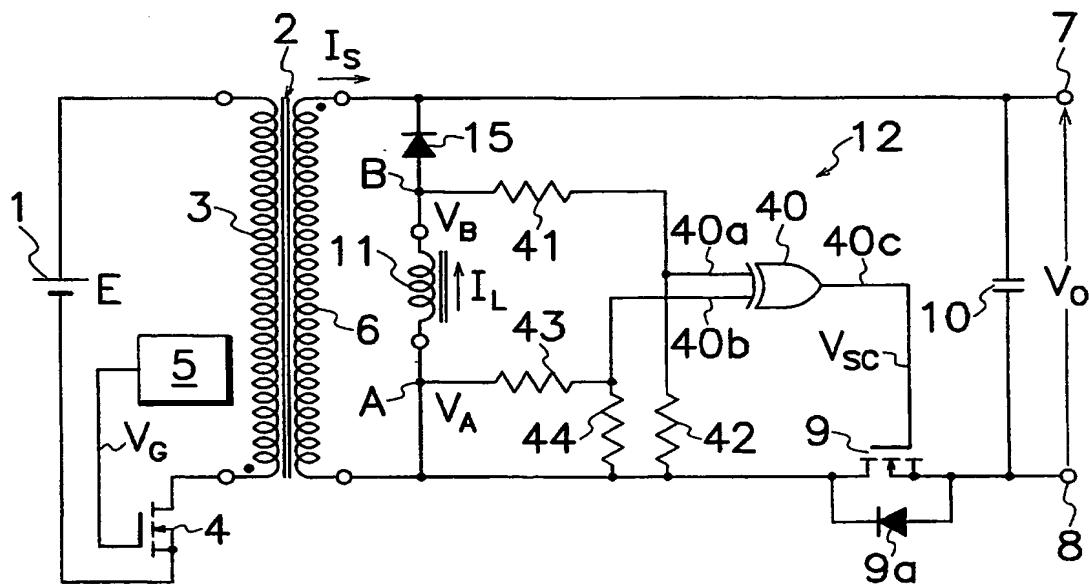
【図6】



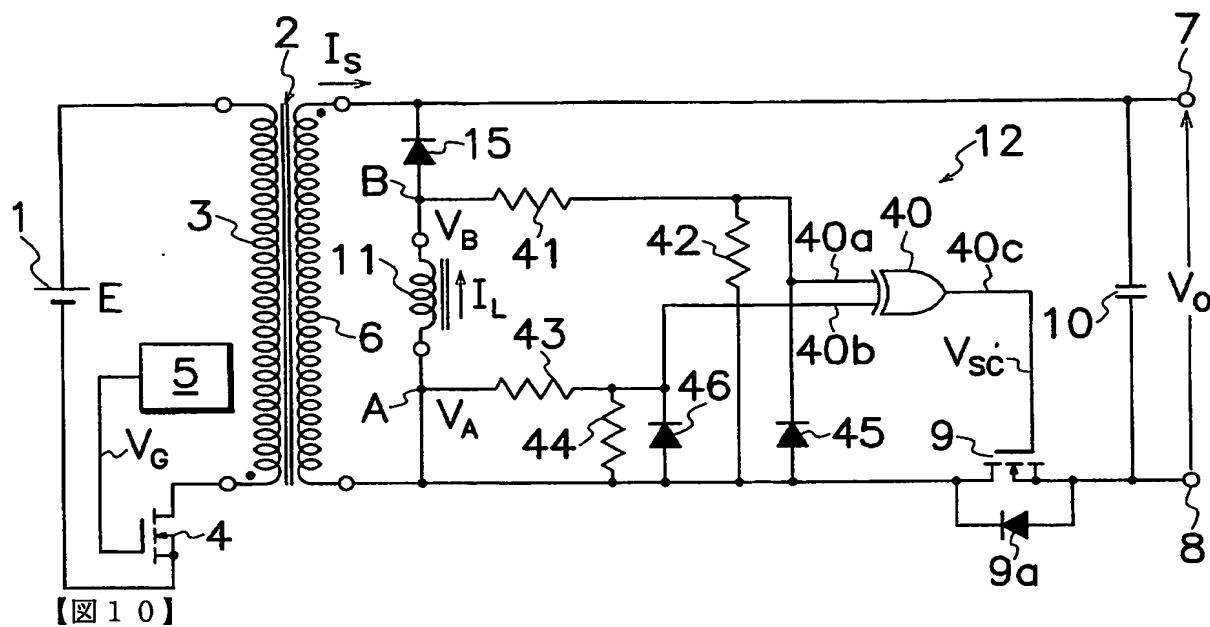
【図7】



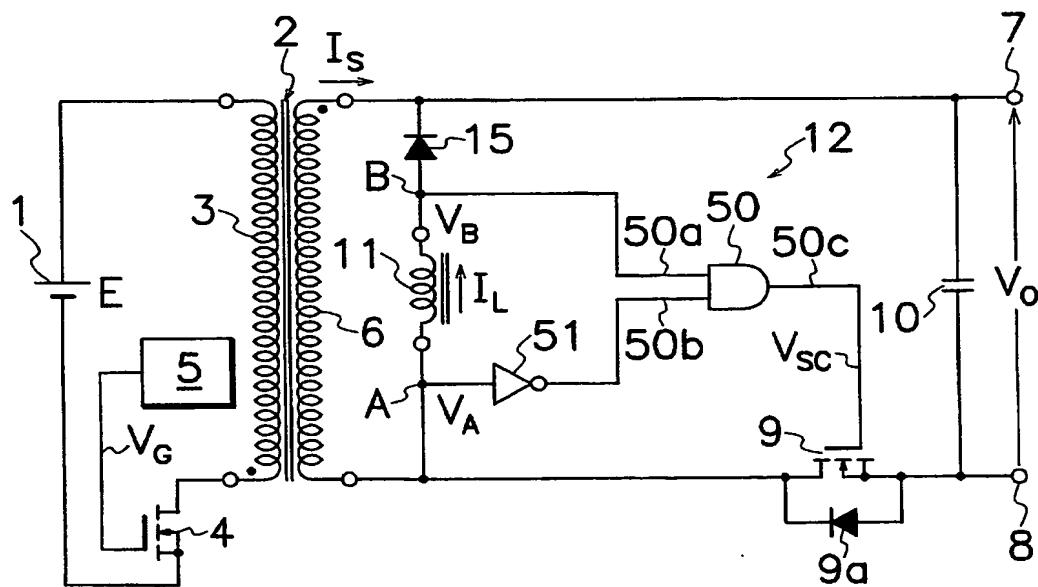
【図8】



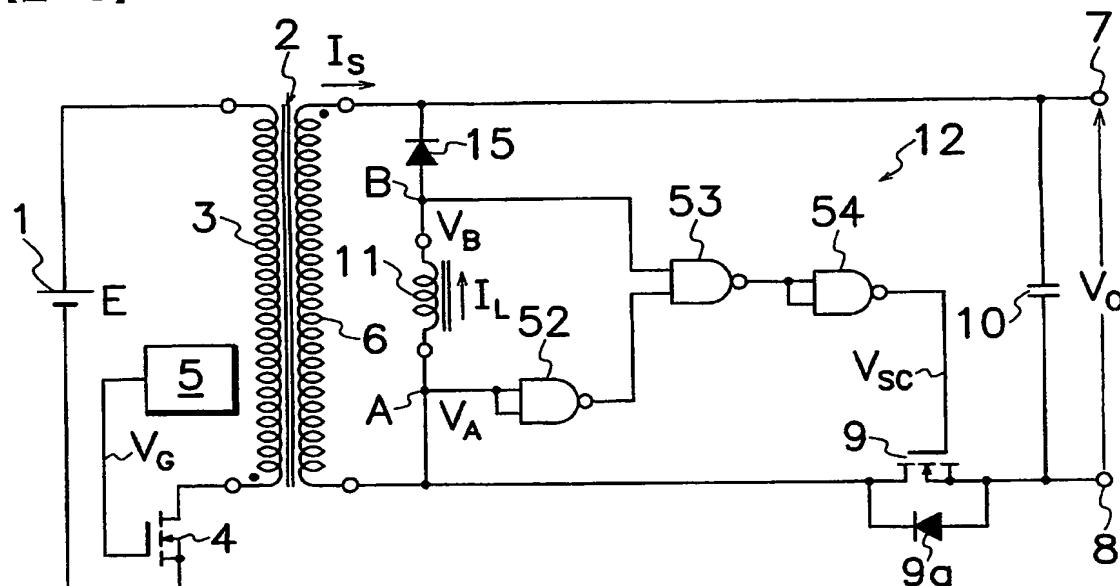
【図9】



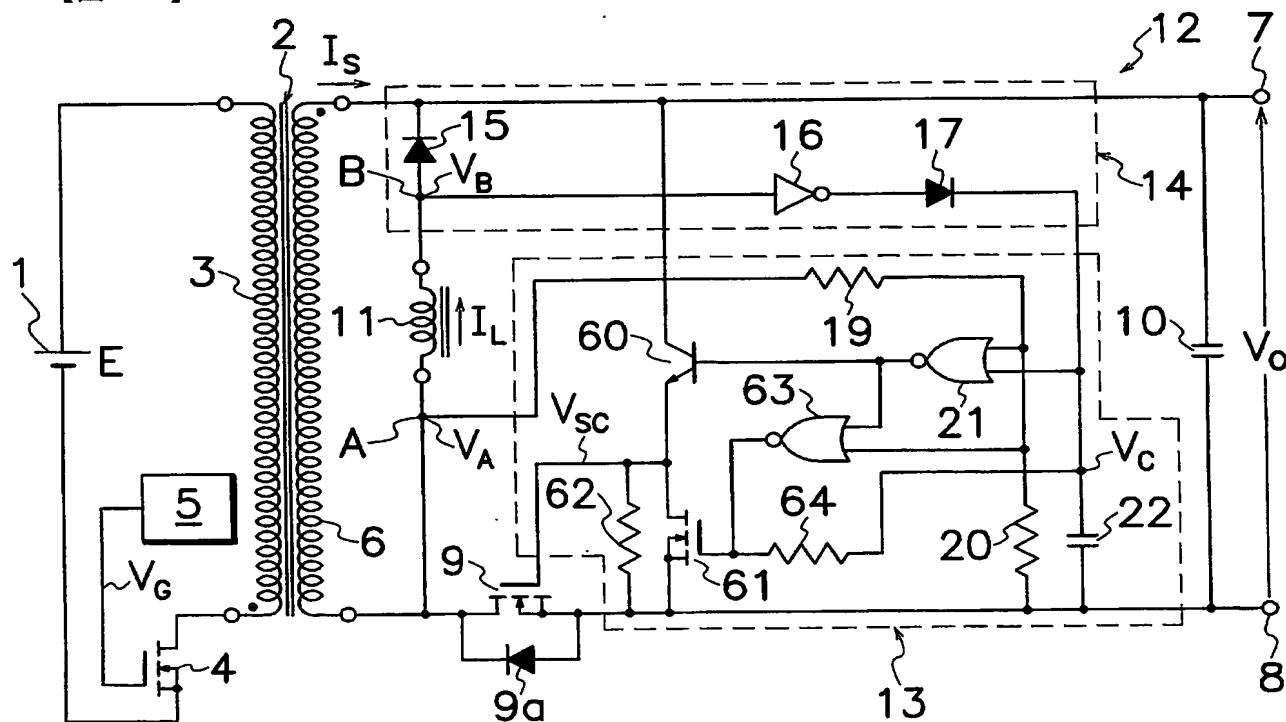
【図10】



【図 1 1】



【図 12】



【書類名】要約書

【要約】

【課題】 スイッチング電源装置のトランスの2次巻線から取り出す出力電圧の電力損失を抑制する。

【解決手段】 本発明によるスイッチング電源装置は、トランス(2)の2次巻線(6)と出力端子(7,8)との間に接続された同期整流用MOS-FET(9)と、トランス(2)の2次巻線(6)に対して並列に接続され且つ主MOS-FET(4)のオン時にエネルギーが蓄積されるリアクトル(11)と、リアクトル(11)と同期整流用MOS-FET(9)の制御端子とに接続され且つリアクトル(11)にエネルギーを蓄積する期間は同期整流用MOS-FET(9)をオフに保持し、リアクトル(11)に蓄積されたエネルギーを放出する期間は同期整流用MOS-FET(9)をオンに保持し、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用MOS-FET(9)をオフにする同期整流制御回路(12)とを備える。

【選択図】 図1

特願 2003-341294

出願人履歴情報

識別番号 [000106276]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 埼玉県新座市北野3丁目6番3号
氏名 サンケン電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.